



HAL
open science

Inverseur actif accordable large-bande à base de composants Non-Foster améliorés

Saadou Al Mokdad, Raafat Lababidi, Marc Le Roy, Sawsan Sadek, André Pérennec, Denis Le Jeune

► **To cite this version:**

Saadou Al Mokdad, Raafat Lababidi, Marc Le Roy, Sawsan Sadek, André Pérennec, et al.. Inverseur actif accordable large-bande à base de composants Non-Foster améliorés. 21èmes Journées Nationales Microondes, May 2019, Caen, France. pp.1-2. hal-02135810

HAL Id: hal-02135810

<https://hal.univ-brest.fr/hal-02135810>

Submitted on 21 May 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Inverseur actif accordable large-bande à base de composants Non-Foster améliorés

Saadou AlMokdad^{1,3}, Raafat Lababidi², Marc Le Roy¹, Sawsan Sadek³, André Perennec¹, Denis Le Jeune²
¹Univ Brest, ²ENSTA-Bretagne, Lab-STICC, UMR 6285, CNRS, F-29200, Brest
³Université Libanaise/Institut Universitaire de Technologie Saida, Liban
Marc.LeRoy@univ-brest.fr

Résumé— Ce papier présente un inverseur de phase actif et accordable réalisé à partir de composant Non-Foster améliorés. Le déphaseur ou inverseur présente une phase en transmission accordable autour de 180° sur une bande s'étendant de 2 à 4 GHz. La topologie du déphaseur/inverseur retenue fait appel à des capacités négatives obtenues à partir de convertisseur d'impédance négative (NIC). Notre étude montre que l'impédance équivalente obtenue d'un circuit NIC réalisé à partir de paires croisées (XCP) de transistors FET n'est pas purement réactive. Elle contient également une partie réelle non négligeable qui a pour conséquence de dégrader la qualité des capacités négatives attendues et donc les performances du déphaseur. Plusieurs niveaux d'améliorations sont alors apportés, d'abord en cascade 2 topologies différentes de XCP puis sur les XCP elles-mêmes dans le but de compenser la partie réelle résiduelle de ces capacités négatives.

1. Introduction

Les déphaseurs analogiques ou numériques [1]-[2] sont des éléments incontournables pour la réalisation de fonction de dépointage dans les réseaux d'antennes (5G, IoT, ...). De plus, de nouveaux front-end de type Full-Duplex [3] font appel à des inverseurs ou déphaseurs 180° pour obtenir un premier niveau d'annulation de l'auto-interférence (SI) de l'émetteur (TX) sur le récepteur (RX) au niveau analogique. La majorité des inverseurs ou balun 180° sont réalisés à l'aide d'inverseurs signal-masse passif, rendant impossible une éventuelle accordabilité Cette étude se situe dans ce contexte et les spécifications du déphaseur/inverseur sont donc d'obtenir une phase en transmission de 180° sur une bande de 2 à 4 GHz avec une accordabilité d'environ ±10°.

La topologie de déphaseur proposée dans [1] a été retenue car présentant une phase en transmission de 180° indépendante de la fréquence, potentiellement ajustable et compacte. Elle est basée sur l'utilisation de capacités négatives, *i.e.* de type Non-Foster (NF), réalisée à partir de convertisseurs à impédance négative (NIC) [4]. Cependant, les paires croisées de transistors FET (XCP) [3] ne sont en général opérationnelles qu'à basses fréquences et pour des valeurs de transconductances importantes. En prenant en compte un schéma équivalent petit-signal des FET plus complet, notre étude montre que les éléments parasites contribuent à la présence d'une partie réelle résiduelle dégradant directement la qualité de la capacité négative espérée et donc les performances du

déphaseur. Deux configurations différentes des XCP sont étudiées analytiquement et utilisées en cascade pour obtenir une diminution de la partie réelle de la capacité négative. Puis une des topologies est modifiée pour obtenir une quasi-annulation de cette partie réelle parasite. Enfin, l'accordabilité du déphaseur est introduite à l'aide de varicaps.

Dans ce papier, après une présentation de la topologie du déphaseur à la section 2, la section 3 décrit les méthodes proposées pour minimiser la composante résistive des capacités négatives réalisées par XCP, puis les résultats du déphaseur correspondant.

2. TOPOLOGIE ET DESIGN

2.a. Principe du déphaseur 180°

Un circuit déphaseur à 2 ports [1] est représenté sur la figure 1, qui est constitué de trois capacités parallèles C_1 et de deux capacités négatives ($-C_2$) connectées en série et ayant la même valeur absolue. Le paramètre de transmission est donné par :

$$S_{21} = \frac{z_{in,e} - z_{in,o}}{(z_{in,e} + 1)(z_{in,o} + 1)} \quad (1)$$

où $z_{in,e}$ et $z_{in,o}$ sont respectivement les impédances d'entrée paires et impaires normalisées qui sont exprimés comme suit:

$$z_{in,e} = \frac{C_2 - C_1}{j\omega C_1(2C_2 - C_1)Z_0} \quad (2)$$

$$z_{in,o} = \frac{1}{j\omega(C_1 - C_2)Z_0} \quad (3)$$

En conséquence, la phase de S_{21} vaut :

$$\theta = \arctan\left(\frac{-(C_2 - C_1)(1 + C_1(2C_2 - C_1)\omega^2 Z_0^2)}{Z_0\omega((C_2 - C_1)^2 - C_1(2C_2 - C_1))}\right) \quad (4)$$

Où l'impédance des ports d'entrée de référence Z_0 est égale à 50Ω. Il est à noter que cette équation ne donne 180° de valeur de phase en transmission que si les condensateurs C_1 et C_2 ont la même valeur absolue. Néanmoins, étant donné que C_1 est un élément passif et que $-C_2$ est actif, il est primordial que C_2 s'adapte parfaitement à $-C_1$ dans la plage de fréquences attendue. C_2 doit en particulier présenter une partie réelle nulle tout en conservant une partie imaginaire constante.

2.b. Conception de capacité NF et minimisation de sa partir résistive résiduelle

Une capacité négative peut être mise en œuvre en suivant différentes approches, par exemple en utilisant un circuit non-Foster [5] à base d'amplificateurs opérationnels ou à base de transistors tels que la topologie de Linvill utilisant une paire de transistors à couplage croisé (XCP) [8]. Les deux topologies utilisent un convertisseur d'impédance négative (NIC) pour transformer la capacité de charge en une capacité négative. Néanmoins, une mise en œuvre réaliste apporte des éléments parasites à la fois imaginaires et réels. Par conséquent, une étude en deux étapes est proposée sur deux types de XCP avec une sortie à la source de FET (appelée ultérieurement topologie source) et une sortie au niveau du drain (ultérieurement appelée topologie drain), afin d'éliminer la partie réelle, ne laissant qu'une capacité négative. Ici, la capacité parasite principale est la capacité C_{gs} (Fig. 2.a) entre la grille et la source du transistor.

Sur la base de la Fig. 2.b et 2.c, les impédances d'entrée de la topologie de source et de drain sont respectivement exprimées par :

$$Z_{in, Source} = \frac{2r_{ds}(C_L + C_{gs})(C_L + C_{gs} + C_L g_m r_{ds})}{(C_L + 2C_{gs} + C_L g_m r_{ds})^2 + (C_{gs} C_L r_{ds} \omega)^2} + j \left(\frac{\frac{1}{\omega} (C_L + 2C_{gs} + C_L g_m r_{ds})(g_m r_{ds} - 1)}{(C_L + 2C_{gs} + C_L g_m r_{ds})^2 + (C_{gs} C_L r_{ds} \omega)^2} \right) + j \left(\frac{-C_{gs} C_L r_{ds}^2 \omega (C_{gs} + 2C_L)}{(C_L + 2C_{gs} + C_L g_m r_{ds})^2 + (C_{gs} C_L r_{ds} \omega)^2} \right) \quad (5)$$

$$Z_{in, Drain} = \frac{2r_{ds}(C_L + C_{gs})(C_L + C_{gs} - C_L g_m r_{ds})}{(C_L + 2C_{gs} - C_L g_m r_{ds})^2 + (C_{gs} C_L r_{ds} \omega)^2} + j \left(\frac{\frac{-1}{\omega} (C_L + 2C_{gs} - C_L g_m r_{ds})(g_m r_{ds} + 1)}{(C_L + 2C_{gs} - C_L g_m r_{ds})^2 + (C_{gs} C_L r_{ds} \omega)^2} \right) + j \left(\frac{-C_{gs} C_L r_{ds}^2 \omega (C_{gs} + 2C_L)}{(C_L + 2C_{gs} - C_L g_m r_{ds})^2 + (C_{gs} C_L r_{ds} \omega)^2} \right) \quad (6)$$

Habituellement, ces expressions d'impédance d'entrée ne sont pas aussi complètes [6]. Dans la plupart des articles, C_{gs} n'est pas pris en compte et si $g_m r_{ds} \gg 1$, (5) et (6) sont généralement simplifiées de la manière suivante :

$$Z_{in, Source} \approx \frac{2}{g_m} - \frac{1}{jC_L \omega} \quad (7)$$

$$Z_{in, Drain} \approx -\frac{2}{g_m} - \frac{1}{jC_L \omega} \quad (8)$$

Dans (7) et (8), il apparaît que la cascade des topologies source et drain en série minimisera la partie réelle de l'impédance d'entrée totale.

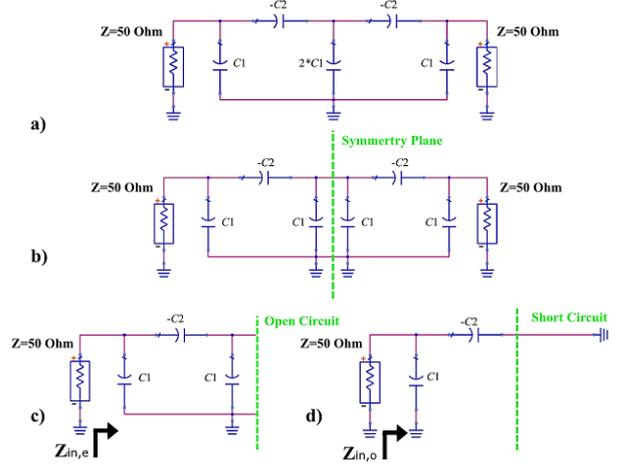


Fig. 1. Déphaseur à 180 ° (a), son plan de symétrie (b), le circuit équivalent en mode pair (c) et en mode impair (d).

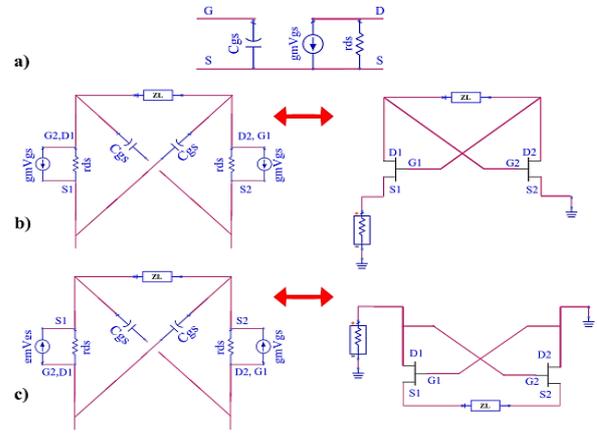


Fig. 2. Modèle équivalent simplifié du FET (a), modèle de circuit XCP équivalent avec sortie à la source (b) et sortie au drain (c).

Dans ce travail, un transistor Broadcom PHEMT FET VMMK-1218 est utilisé. Les valeurs des paramètres du modèle petit signal sont fournies à la Fig. 3 et contrairement aux simplifications habituellement effectuées, C_{gs} ne peut plus être considéré comme négligeable par rapport à C_L . Cependant, comme $(C_{gs} + C_L) \ll (C_L g_m r_{ds})$ et $g_m r_{ds} \gg 1$, (5) et (6) peuvent toutefois être approximés par :

$$Z_{in, Source} \approx \frac{2(C_L + C_{gs})}{(C_L g_m)} - \frac{1}{jC_L \omega} \quad (9)$$

$$Z_{in, Drain} \approx -\frac{2(C_L + C_{gs})}{(C_L g_m)} - \frac{1}{jC_L \omega} \quad (10)$$

Les relations (9) et (10) montrent que pour des valeurs de g_m standards, les circuits NF présentent des valeurs de partie réelle non négligeables. En utilisant (5) et (6), les parties réelles et imaginaires des deux topologies sont calculées afin de générer une capacité de -2pF, puis en cascade les deux cellules, il est possible d'obtenir la valeur recherchée de -1pF pour la capacité $-C_2$.

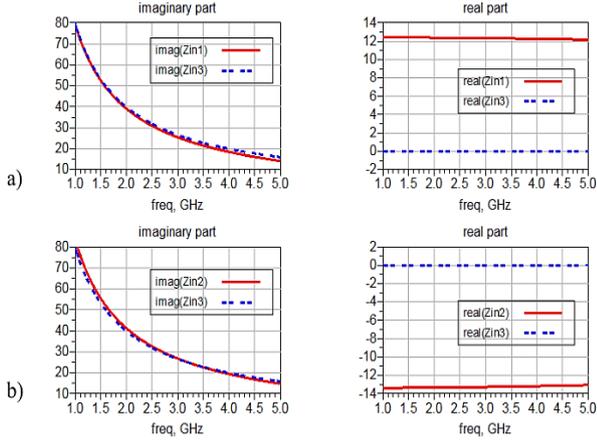


Fig. 3. Impédance d'entrée XCP Z_{in1} pour la sortie à la source comparée à une capacité négative de $Z_{in3} = -2\text{pF}$ (a), impédance d'entrée XCP Z_{in2} pour la sortie au drain par rapport à une capacité négative de $Z_{in3} = -2\text{pF}$ (b). VMMK-1218 petits signaux pour $V_{ds} = 4\text{V}$ et $I_{ds} = 15\text{mA}$: $g_m = 0,25\text{ S}$, $C_{gs} = 1,20\text{pF}$, $R_{ds} = 242\Omega$.

La figure 3 montre que pour les topologies source et drain, on obtient bien le comportement fréquentiel d'une capacité négative avec une partie réelle respectivement positive et négative.

2.c. Diminution de la partie résistive de la capacité de NF au niveau des paramètres S

Les paramètres S du transistor VMMK-1218 au point de polarisation indiqué plus haut sont utilisés dans la topologie en cascade de la Fig. 4.a pour générer la capacité de -1pF (Fig. 5). La courbe en points bleus de la figure 5 montre que la partie réelle de la capacité négative est réduite mais reste non négligeable. En modifiant le point de polarisation, c'est-à-dire $V_{ds} = 2\text{V}$ et $I_{ds} = 10\text{mA}$ pour la topologie source-XCP et $V_{ds} = 3\text{V}$ et $I_{ds} = 30\text{mA}$ pour la topologie drain, la partie réelle est diminuée mais la partie réactive s'éloigne de la réactance idéale (courbes rouges des Fig.5.a et Fig.5.c). Pour réduire davantage la partie réelle des circuits en cascade, une inductance est ajoutée à la topologie source (courbe en points bleus sur les Fig. 5.b et 5.c). Ainsi, la partie réelle de la topologie source est légèrement diminuée, réduisant ainsi globalement celle des circuits en cascade. Les figures 6.b et l'équation (11) prennent en compte cette self inductance.

Enfin, en combinant une approche en cascade, avec différents points de polarisation et une topologie source XCP modifiée, il est possible de maintenir la partie résistive en dessous de 1Ω et d'atteindre la partie réactive attendue (courbe rouge sur la figure 5.b et rose sur la figure 5.c).

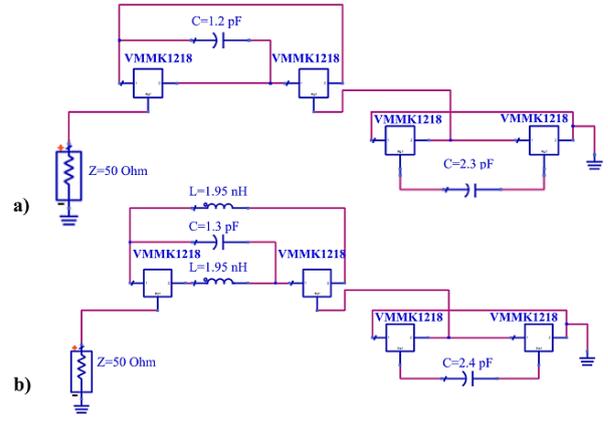


Fig. 4. Schémas de la topologie NF en cascade (a) et de la topologie modifiée (b).

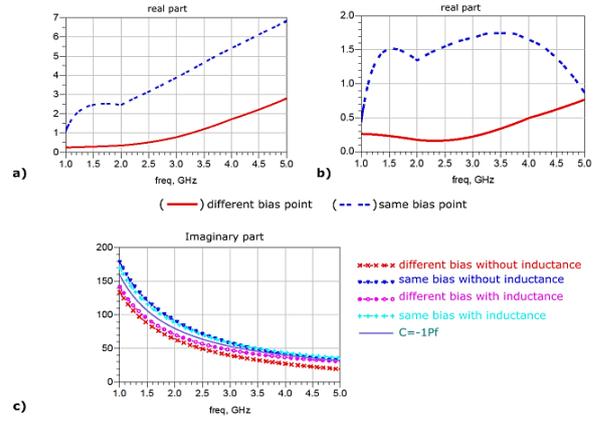


Fig. 5. Partie réelle de l'impédance de la topologie NF en cascade sans (a) et avec inductances (b) et pour des points de polarisation identiques et différents avec et sans inductances (c).

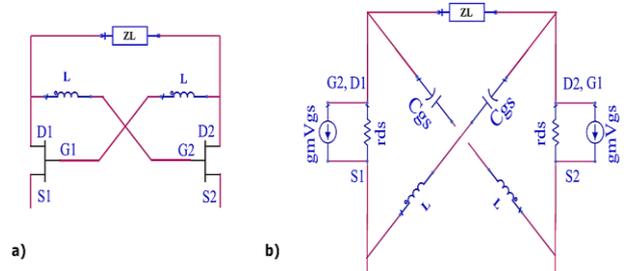


Fig. 6. Topologie source modifiée a) et son modèle équivalent petit signal (b).

Enfin, les valeurs des composants sont $C_s = 1,3\text{ pF}$ pour la topologie source et $C_d = 2,4\text{ pF}$ pour la topologie drain et $1,95\text{ nH}$ pour L .

$$Z_{in, Source} = \frac{2r_{ds}(C_L + C_{gs} - C_{gs}C_L\omega^2)(C_L + C_{gs} + C_Lg_m r_{ds} - C_{gs}C_L\omega^2)}{(C_L + 2C_{gs} + C_Lg_m r_{ds} - C_{gs}C_L\omega^2)^2 + (C_{gs}C_Lr_{ds}\omega)^2} + j\left(\frac{\frac{1}{\omega}(C_L + 2C_{gs} + C_Lg_m r_{ds} - C_{gs}C_L\omega^2)(g_m r_{ds} - 1 + C_{gs}L\omega^2)}{(C_L + 2C_{gs} + C_Lg_m r_{ds} - C_{gs}C_L\omega^2)^2 + (C_{gs}C_Lr_{ds}\omega)^2}\right) - j\left(\frac{C_{gs}C_Lr_{ds}^2\omega(C_{gs} + 2C_L - 2C_{gs}C_L\omega^2)}{(C_L + 2C_{gs} + C_Lg_m r_{ds} - C_{gs}C_L\omega^2)^2 + (C_{gs}C_Lr_{ds}\omega)^2}\right) \quad (11)$$

3. Déphaseur 180° réglable actif

A la figure 7 est représenté le déphaseur 180° réglable actif réalisée avec la topologie modifiée source-drain et les modules des paramètres de transmission et de réflexion et la phase sont illustrés à la figure 8.a. Le circuit présente de bonnes performances dans une gamme de fréquences allant de 1 GHz à 4 GHz, une faible perte d'insertion de - 0,8 dB, et une phase autour de 180° à partir de 2 GHz. A noter que la variation de phase générée par les varactors est indépendante de la fréquence (pour une variation de 3% de sa capacité) tout en maintenant les amplitudes constantes.

Le schéma de co-simulation (circuit + EM) du déphaseur final comprenant la polarisation et les paramètres S des composants SMD, est présenté à la Fig. 9 et le layout à la figure 10. Les résultats de la simulation Fig.11 montrent que la limite inférieure de la bande de fonctionnement est décalée à 2 GHz en raison d'une limitation de la disponibilité des composants SMD, de forte valeur, requise par le circuit de polarisation.

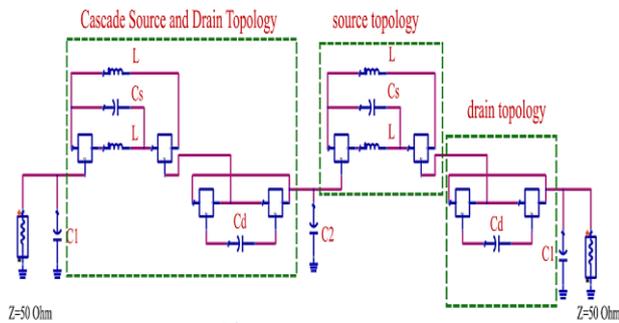


Fig. 7. Structure du circuit complet du déphaseur actif.

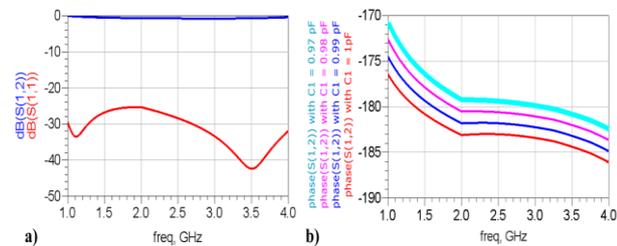


Fig. 8. Coefficients de réflexion et de transmission du déphaseur 180° (a), variation de phase à l'aide d'un varactor (b).

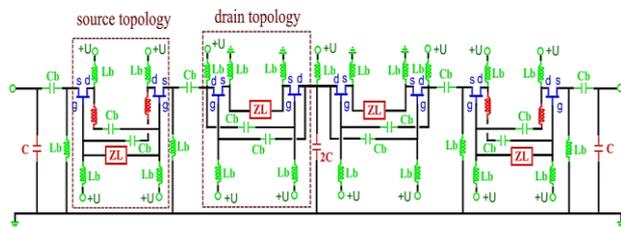


Fig. 9. Schéma du déphaseur (circuit de polarisation en vert).

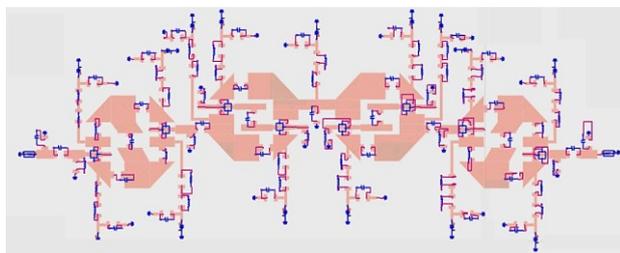


Fig. 10. Schéma ADS de co-simulation (forme finale du déphaseur).

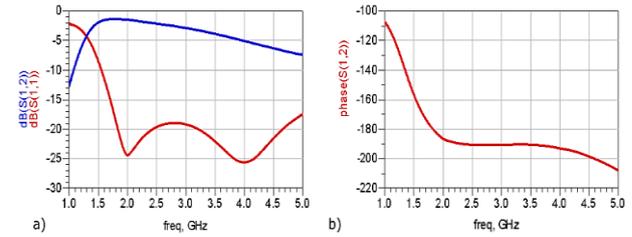


Fig. 11. Résultats de la co-simulation.

4. Conclusion

Un déphaseur/inverseur accordable autour de 180° et fonctionnant de 2 à 4 GHz a été présenté. Il est composé de trois capacités en parallèle et de deux capacités négatives en série. Celles-ci sont réalisées en cascade des structures Non Foster avec connexions à la source et au drain afin d'annuler les parties réelles de la structure complète. Sont fournies également les relations analytiques détaillées pour les capacités négatives. Enfin, l'utilisation de varicaps permet d'obtenir une agilité en phase du déphaseur sans dégradation de la platitude.

5. Références

- [1] D. Kholodnyak, V. Turgaliev, A. Rusakov, K. Zemlyakov, I. Vendik, "A frequency independent phase inverting all-pass network suitable for a design of ultra-wideband 180° phase shifters", *IEEE Microwave Conference*, Oct. 2011.
- [2] K. Khoder, M. Le Roy, A. Perennec "An All-pass Topology to Design a 0-360° Continuous Phase Shifter with Low Insertion Loss and Constant Differential Phase Shifter", *IEEE Microwave Integrated Circuit Conference*, Oct. 2014.
- [3] U. L. Rohde; A. K. Poddar; S. Pegwal; V. Madhavan; S. K. Koul; M. Abegaonkar; M. A. Silaghi, "Ultra wide band balun/180° power divider using microstrip-slotline-microstrip transition", *IEEE International Microwave and RF Conference (IMARC)*, Dec. 2015.
- [4] A. M. Abbosh, "Ultra-wideband phase shifters", *IEEE Trans. Microwave Theory and Techniques*, Vol. 55, No. 9, pp. 1935-1941, Sept. 2007.
- [5] K. Matsumoto, T. Ktamura, Y. Hori, "Miniaturized circuit design of operational-amplifier-based non-foster impedance", *IEEE Conference*, Sept. 2017.
- [6] S. Saadat, H. Aghasi, E. Afshari, H. Mosallaei "Low - Power Negative Inductance Integrated Circuits for GHz Applications", *IEEE Microwave and Wireless Components Letters*, VOL. 25, NO. 2, Feb. 2015.
- [7] B. Razavi "The Cross-Coupled Pair - Part I [A Circuit for All Seasons]", *IEEE Solid-State Circuits Magazine*, 26 Aug. 2014.
- [8] S. D. Stearns, "Non-Foster circuits and stability theory", *IEEE Antenna and Propag. Society Int. Symp*, pp.1942-1945, July 2011.