



HAL
open science

Méthode d'extraction fréquentielle de l'inductance de boucle pour la modélisation large bande des interconnexions de circuits numériques

Yves Quéré, Pierre-Marie Martin, Thierry Le Gougec, Denis Le Berre,
Fabrice Huret

► **To cite this version:**

Yves Quéré, Pierre-Marie Martin, Thierry Le Gougec, Denis Le Berre, Fabrice Huret. Méthode d'extraction fréquentielle de l'inductance de boucle pour la modélisation large bande des interconnexions de circuits numériques. 15èmes Journées Nationales Microondes, 23-24-25 Mai 2007 - Toulouse, May 2007, Toulouse, France. pp.5D8. hal-00492753

HAL Id: hal-00492753

<https://hal.univ-brest.fr/hal-00492753>

Submitted on 16 Jun 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Méthode d'extraction fréquentielle de l'inductance de boucle pour la modélisation large bande des interconnexions de circuits numériques

Yves Quéré, Pierre-Marie Martin, Thierry Le Gougec, Denis Le Berre et Fabrice Huret

Laboratoire d'Electronique et Systèmes de Télécommunications (LEST) UMR CNRS 6165, 6 avenue Victor Le Gorgeu
CS 93837, 29238 Brest Cedex 3 France

yves.quere@univ-brest.fr

Résumé

Dans le contexte des interconnexions de circuits numériques avancés, la modélisation de type RC actuelle n'est plus suffisamment précise face à l'augmentation des fréquences d'horloge, notamment en ce qui concerne les niveaux globaux. Les effets inductifs sont donc à prendre en compte et le concept de l'inductance de boucle semble être une solution intéressante pour ne pas complexifier de façon excessive les modèles. Nous décrivons dans ce papier une méthode d'extraction fréquentielle de l'inductance de boucle permettant de prendre en compte les effets de proximité dus à l'augmentation de la fréquence. Nous proposons, de plus, un modèle compact que nous validons par une analyse temporelle.

I. Introduction

L'amélioration des performances des circuits numériques nécessite une modification régulière de la technologie de fabrication permettant ainsi une augmentation des fréquences d'horloges et du nombre de transistors. Depuis quelques années, cette amélioration se trouve ralentie par l'apparition de phénomènes parasites dus aux réseaux d'interconnexions, tels que les retards de propagation et la diaphonie. La modélisation de ces lignes est ainsi devenue indispensable pour prendre en compte ces effets dans la séquence de conception des circuits. Les effets capacitifs et résistifs sont déjà pris en compte depuis plusieurs années et la question de l'intégration de l'inductance dans les modèles se pose aujourd'hui. En effet, avec l'augmentation des fréquences d'horloges, l'impact inductif est de plus en plus significatif, notamment au niveau des interconnexions globales qui ne subissent que très faiblement la réduction des dimensions à chaque changement de technologie. Deux méthodes de détermination de l'inductance sont en concurrence : une première utilise le concept de l'inductance de boucle et la seconde, celui de l'inductance partielle. Cette dernière est une méthode mathématique implantée dans des extracteurs de modèles de type PEEC (Partial Element Equivalent Circuit). L'inconvénient de cette méthode est le nombre trop élevé d'éléments à extraire à l'échelle d'un circuit numérique complet, puisque, contrairement au couplage capacitif, la zone de couplage inductif est large. La première méthode repose sur la définition physique de l'inductance qui considère une boucle de courant fermée pour la détermination de l'inductance de boucle. Le modèle obtenu est compact mais nécessite de connaître la distribution des retours de courant [1]. Une méthode de détermination de l'inductance de boucle en basse et haute fréquence est proposée dans la littérature mais ne permet cependant pas de décrire le comportement en fréquence [2].

Dans ce contexte, nous proposons une méthode d'extraction fréquentielle basée sur le calcul de l'impédance de boucle à partir de la matrice impédance du réseau d'interconnexions extraite par simulation électromagnétique ou par formules analytiques. Le principe de la méthode est décrit dans une première partie. Nous présentons un modèle fréquentiel simple tenant compte de l'effet de proximité et une application en technologie 90 nm dans la seconde partie de ce papier.

II. Description de la méthode

La figure 1.a illustre une topologie de réseau d'interconnexions à cinq niveaux de métallisation. Une ligne active est choisie, au centre de la structure dans notre exemple, pour le calcul de l'inductance de boucle afin d'obtenir un modèle équivalent de cette interconnexion et des conducteurs servant de retour de courant.



Fig. 1 – Exemple de réseau d'interconnexions (à gauche) et le modèle équivalent (à droite).

Notons que pour ce calcul, les niveaux orthogonaux sont négligés et que celui de la capacité équivalente est effectué indépendamment de la méthode d'extraction. Le modèle équivalent obtenu est présenté figure 1.b, où R_{loop} et L_{loop} représentent respectivement la résistance et l'inductance de boucle et sont fonctions de la fréquence. En effet, la boucle de retour de courant se rétrécit lorsque la fréquence augmente ce qui se traduit par une augmentation de la résistance et une diminution de l'inductance. A partir de la connaissance des impédances du réseau d'interconnexions, nous déterminons la matrice impédance Z_V des conducteurs de retour du courant. Cette matrice nous permet tout d'abord d'obtenir le vecteur des courants de retour I_V , puis la résistance et l'inductance de boucle du réseau. La matrice Z_V , le vecteur I_V et l'impédance de boucle sont décrits respectivement par les équations (1), (2) et (3) [2]. Dans la formule (1), N représente le nombre de conducteurs du réseau d'interconnexions considéré et M , celui des conducteurs actifs. Notons que $(N-M)$ représente alors le nombre de conducteurs de retour des courants. La matrice Z_V est ainsi de taille $(N-M) \times (N-M)$.

$$Z_V = \begin{bmatrix} Z_{M+1,M+1} - \frac{1}{M} \sum_{k=1}^M Z_{M+1,k} & \dots & Z_{M+1,N} - \frac{1}{M} \sum_{k=1}^M Z_{M+1,k} \\ \vdots & \ddots & \vdots \\ Z_{N,M+1} - \frac{1}{M} \sum_{k=1}^M Z_{N,k} & \dots & Z_{N,N} - \frac{1}{M} \sum_{k=1}^M Z_{N,k} \end{bmatrix} \quad (1) \quad [\bar{I}_V] = [\bar{Z}_V]^{-1} \begin{bmatrix} 1 \\ \vdots \\ 1 \end{bmatrix} \quad (2) \quad Z_{loop} = R_{loop} + j\omega L_{loop} = \frac{[\bar{I}] [\bar{Z}] [\bar{I}]^T}{|I_0|^2} \quad (3)$$

III. Modèle fréquentiel et application à la technologie 90 nm

Pour intégrer le modèle dans un environnement de calcul de type Spice, il est nécessaire que les éléments de celui-ci soient constants. Ainsi, nous proposons de décrire la dépendance fréquentielle de R_{loop} et L_{loop} par la mise en cascade de deux cellules RL dont les éléments sont déterminés simplement à partir des impédances de boucle à fréquence nulle et à fréquence infinie. Le modèle obtenu est présenté figure 2.a. Nous comparons, figure 2.b, les résultats d'extraction de l'inductance de boucle dans trois cas de figure : effet de peau pris en compte ($Z(f)$), effet de peau négligé ($Z(0)$) et modèle fréquentiel proposé. Nous constatons une bonne corrélation entre les résultats. L'effet de peau étant négligeable pour les technologies actuelles de circuits numériques, un calcul de l'inductance de boucle à partir de la matrice impédance déterminée en basse fréquence ($Z(0)$) est suffisant pour décrire la dépendance en fréquence du réseau complet d'interconnexions.

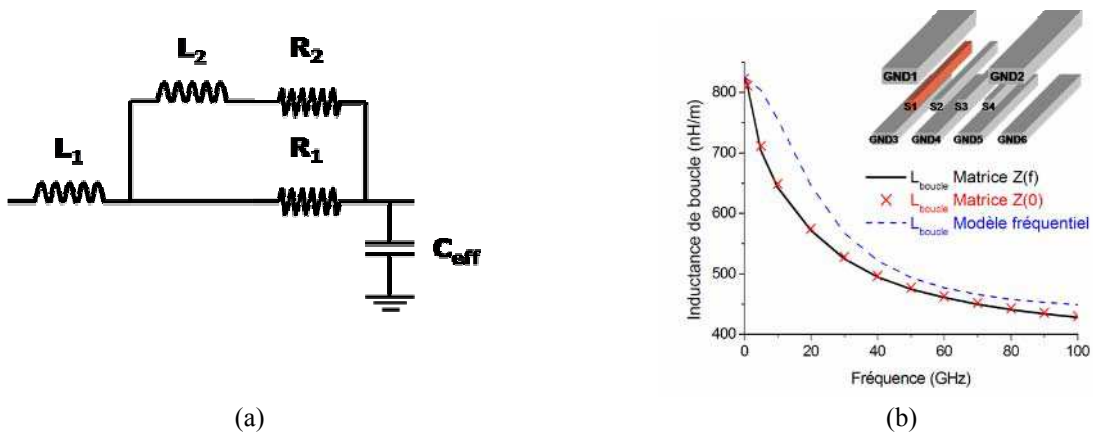


Fig. 2 – Modèle fréquentiel (à gauche) et évolution fréquentielle de l'inductance de boucle (à droite).

Le modèle, donné figure 2.a, correspond au modèle de Krauter [3], où deux impédances en parallèle sont utilisées pour rendre compte de l'effet de proximité. Les éléments de ce schéma équivalent sont obtenus à partir de l'impédance de boucle pour une fréquence infinie et une fréquence nulle ($Z_{loop}(\infty)$ et $Z_{loop}(0)$).

Pour obtenir les inconnues du modèle, ie R_1 , R_2 , L_1 et L_2 , on compare l'impédance équivalente à ce modèle (Z_{model}) (équations 4, 5 et 6) à l'impédance de boucle pour une fréquence nulle et une fréquence infinie.

$$Z_{model} = R_{model} + jL_{model}\omega \quad (4) \quad R_{model} = \frac{R_1 R_2 (R_1 + R_2) + L_2^2 R_1 \omega}{(R_1 + R_2)^2 + (L_2 \omega)^2} \quad (5) \quad L_{model} = \frac{L_2 R_1^2}{(R_1 + R_2)^2 + (L_2 \omega)^2} + L_1 \quad (6)$$

IV. Validation du modèle dans le domaine temporel

Une analyse temporelle est nécessaire pour évaluer l'impact de l'erreur commise entre le modèle fréquentiel de l'impédance de boucle et celui du modèle RLC complet d'un réseau d'interconnexions (éléments du réseau extraits avec Maxwell 2D). La simulation temporelle est réalisée à partir du logiciel ADS d'Agilent en considérant vingt cellules élémentaires RLC pour chaque modèle. La comparaison entre ces modèles est effectuée sur les tensions de sortie au niveau de la ligne active.

Les structures de test sont présentées figure 3 ; la configuration 1 correspond à la simulation d'une structure à 3 lignes signal et 1 ligne GND modélisée par des éléments RLC extraits en basse fréquence, la ligne S_1 étant active ; la configuration 2 est similaire à la première à l'exception de l'excitation : les lignes S_1 et S_2 sont actives simultanément. Ces deux configurations sont comparées à deux modèles utilisant le concept d'impédance de boucle. Dans la configuration 3, l'impédance de boucle est déterminée en basse fréquence. Le modèle fréquentiel de l'impédance de boucle (figure 2.a) est utilisé dans la configuration 4 pour traduire l'effet de proximité.

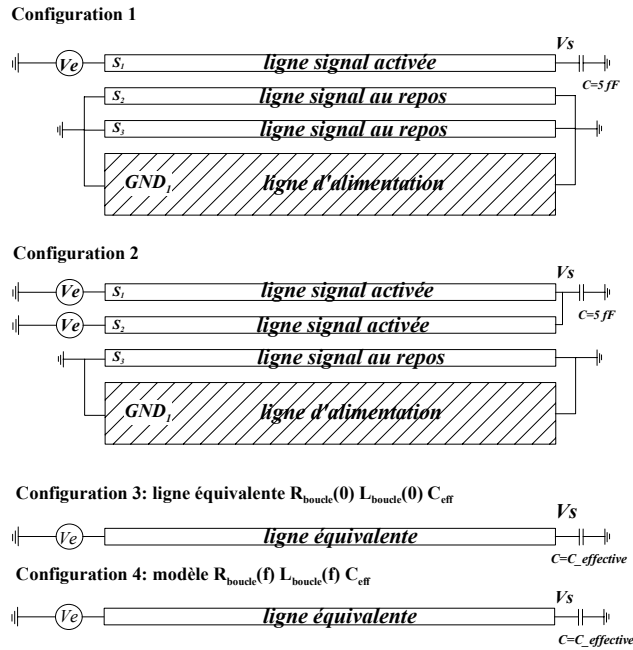


Fig. 3 – Configuration 1: Schéma d'excitation de la ligne signal 1. Configuration 2 : schéma d'excitation des lignes signal 1 et 2. Configuration 3 : ligne équivalente avec éléments constants calculés en basse fréquence. Configuration 4 : modèle équivalent fréquentiel.

La capacité utilisée dans les deux modèles (configuration 3 et 4) a été déterminée en fonction de l'excitation. Elle représente la capacité équivalente du réseau d'interconnexions. La capacité $C_{effective}$ représente l'impédance d'entrée du transistor placé à la terminaison de la ligne signal active.

Les paramètres RLC du réseau, extraits à l'aide du logiciel Maxwell 2D, sont présentés dans l'équation 7.

$$R = \begin{bmatrix} 71840 & 0 & 0 & 0 \\ 0 & 71840 & 0 & 0 \\ 0 & 0 & 71840 & 0 \\ 0 & 0 & 0 & 7184 \end{bmatrix} \quad L = \begin{bmatrix} 1050 & 790 & 655 & 472 \\ 790 & 1050 & 790 & 518 \\ 655 & 790 & 1050 & 583 \\ 472 & 518 & 583 & 744 \end{bmatrix} \quad C = \begin{bmatrix} 11.3 & 62.3 & 6.8 & 11 \\ 62.3 & 4.5 & 62.3 & 10.5 \\ 6.8 & 62.3 & 3.7 & 67.6 \\ 11 & 10.5 & 67.6 & 28.6 \end{bmatrix} \quad (7)$$

La résistance de boucle calculée dans le cas d'une ligne active (configuration 1) est de 77826 Ω/m , l'inductance de boucle, de 718 nH/m, et la capacité équivalente, de 91,4 pF/m. Dans le cas de deux lignes actives (configuration 2), la résistance de boucle est de 42450 Ω/m , l'inductance de boucle, de 609 nH/m, et la capacité équivalente, de 105,4 pF/m.

Ces paramètres constituent le modèle de boucle à éléments constants (configuration 3). La configuration 4, ie le modèle de boucle fréquentiel, est décrite par les résistances R_1 et R_2 , les inductances L_1 et L_2 et la capacité équivalente du réseau est la même que dans la configuration 1. Pour une ligne active, nous obtenons : $R_1=104710 \Omega/m$, $R_2=303150 \Omega/m$, $L_1=457$ nH/m, $L_2=3955$ nH/m et pour deux lignes actives : $R_1=64414 \Omega/m$, $R_2=124490 \Omega/m$, $L_1=433$ nH/m, $L_2=1503$ nH/m.

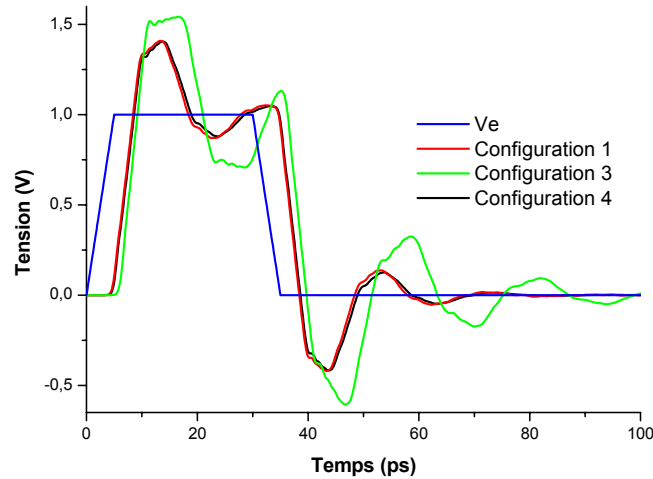


Fig. 4- Evolution temporelle de la tension de sortie dans la configuration 1 comparée à la ligne équivalente à éléments constants (configuration 3) et au modèle fréquentiel (configuration 4) pour une interconnexion de 700 μm de longueur et un signal d'entrée de temps de transition t_r égal à 5ps.

Sur la figure 4, nous comparons les résultats de la simulation temporelle des configurations 1, 3 et 4, pour un signal d'entrée ayant un temps de transition très bref de 5 ps et pour une longueur classique d'interconnexion du niveau global de 700 μm . La corrélation entre le modèle fréquentiel (configuration 4 en noir), tenant compte des effets de proximité, et le modèle complet (configuration 1 en rouge : une ligne signal est active) est très bonne.

Le modèle fréquentiel de boucle, associé à notre méthode d'extraction, est très efficace pour des longueurs typiques d'interconnexions et ce même pour des temps de transition très brefs. En effet, lorsque les effets de proximité ne sont pas pris en compte dans le modèle de boucle (configuration 3), les effets inductifs sont largement surestimés (courbes en vert). Nous avons vérifié l'efficacité du modèle pour plusieurs types de structures.

V. Conclusion

Ce papier présente une méthode originale d'extraction fréquentielle de l'impédance de boucle pouvant être appliquée aux environnements complexes des circuits numériques rapides et analogiques à très haute densité d'intégration. Un modèle fréquentiel est proposé en vue d'une intégration dans un simulateur circuit de type Spice. L'effet de peau étant négligeable pour les technologies actuelles, nous avons montré que la connaissance de la matrice impédance à fréquence nulle du réseau suffit pour décrire l'évolution fréquentielle de l'inductance de boucle, c'est-à-dire pour décrire l'effet de proximité. Notre outil est cependant opérationnel si cette hypothèse sur l'effet de peau n'est plus vérifiée pour les futures technologies. Une analyse temporelle a démontré l'efficacité du modèle pour des structures typiques de réseaux d'interconnexions de circuits numériques.

- [1] David, L., Cregut, C., Huret, F., Quéré, Y. et Nyer, F., "Return path assumption validation for inductance modeling in digital design," in Proc. of Signal Propagation on Interconnects (SPI), pp. 93-96, Mai 2005.
- [2] Yu, S. et Al, "Loop-based inductance extraction and modeling for multiconductor on-chip interconnects," IEEE Trans. Electron Devices, vol. 53, no. 1, pp. 135-145, Jan. 2006.
- [3] Krauter, B. et Mehrtra, S., "Layout based frequency dependent inductance and resistance extraction for on-chip interconnect timing analysis," Proc. of IEEE Design Automation Conference (DAC), pp. 303-308, Juin 1998.